



(19)

(11) Publication number: 11186915 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09353400

(51) Intl. Cl.: H03M 13/12

(22) Application date: 22.12.97

(30) Priority:

(43) Date of application publication: 09.07.99

(84) Designated contracting states:

(71) Applicant: SONY CORP

(72) Inventor: MIYAUCHI TOSHIYUKI

(74) Representative:

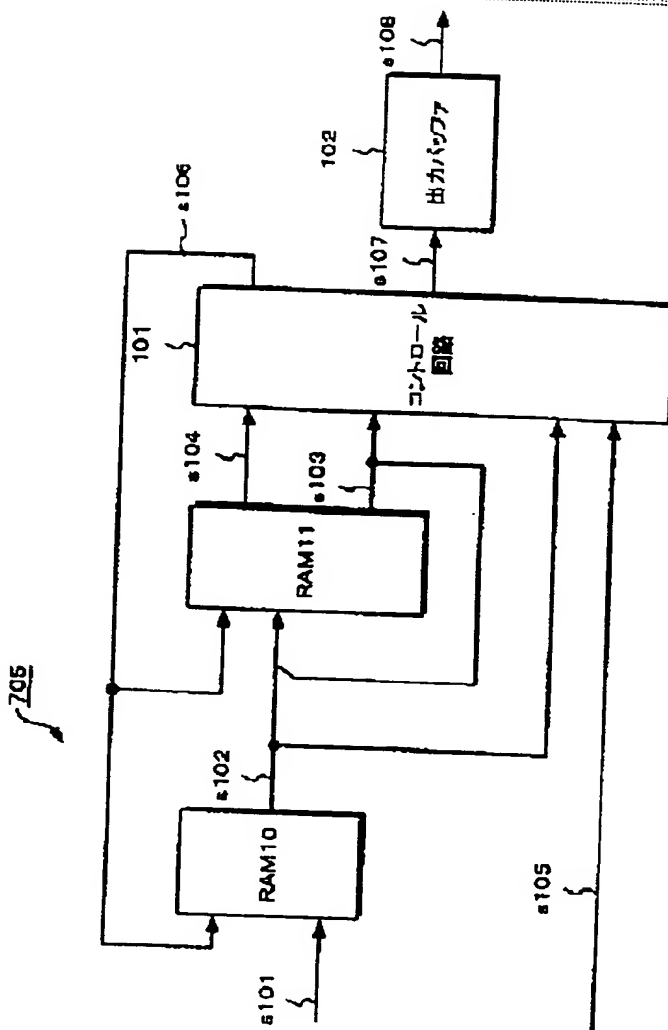
(54) VITERBI DECODER

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the circuit scale of the Viterbi decoder.

SOLUTION: The decoder is provided with a RAM 10 with a dual port of bit number = 4 and word number = 7, and a RAM 11 with a dual port of bit number = 8 and word number = 7, for example. The RAM 10 reads path selection information for each clock under the control of a control circuit 101, outputs read path selection information s102 to the RAM 11 and stores a path selection information s101 (4-bit). On the other hand, the RAM 11 reads information by 1 word (8-bit) which is path selection information for each two-time under the control of the control circuit 101, and outputs read path selection information s103, s104. Furthermore, the RAM 11 stores the read path selection information s102, s103 as a single word. The control circuit 101 conducts tracing, decoding and initializing of trace start state, based on a maximum likelihood state signal s105 and the read path selection information s102 or the like.

COPYRIGHT: (C)1999,JPO



(11)特許出願公開番号

特開平11-186915

(43)公開日 平成11年(1999)7月9日

(51) Int.Cl.⁶
H 0 3 M 13/12

識別記号

F I
H O 3 M 13/12

審査請求 未請求 請求項の数 3 OL (全 20 頁)

(21)出願番号 特願平9-353400

(22)出願日 平成9年(1997)12月22日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 宮内 俊之

東京都品川区北品川6丁目7番35号 ソニ
株式会社内

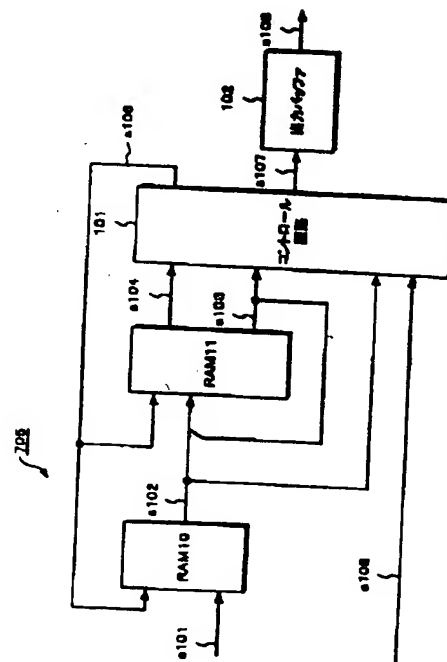
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 ビタビ複号装置

(57) 【要約】

【課題】 ビタビ復号装置の回路規模を縮小する。

【解決手段】 例えばビット数＝４でワード数＝７のデュアルポートのRAM１０と、ビット数＝８でワード数＝７のデュアルポートのRAM１１とを備える。RAM１０は、コントロール回路１０１の制御に従って毎クロック、バス選択情報を読み出し、読出バス選択情報s１０２をRAM１１に出力すると共に、バス選択情報s１０１（４ビット）を記憶する。一方、RAM１１は、コントロール回路１０１の制御に従って毎クロック、２時刻分のバス選択情報である１ワード分（８ビット）の情報を読み出し、読出バス選択情報s１０３、s１０４を出力する。さらに、RAM１１は、読出バス選択情報s１０２、s１０３を１ワードとして記憶する。コントロール回路１０１では、最尤ステート信号s１０５、および読出バス選択情報s１０２等に基づいて、トレース、復号、およびトレース開始ステートの初期化を行う。



【特許請求の範囲】

【請求項1】 畳み込み符号の各遷移状態でのバスの選択情報を、書き換え可能なメモリを用いて記憶するバスメモリを備え、そのバスメモリが記憶した情報を打ち切り長分トレースすることによってビタビ復号を行うビタビ復号装置において、

ステート数の整数倍のビット数を記憶する書き換え可能なメモリを使用して、上記書き換え可能なメモリの1アドレスで複数時刻分のバス選択情報を記憶することを特徴とするビタビ復号装置。

【請求項2】 請求項1において、

ビット数＝ステート数であり、ワード数＝打ち切り長／2＋1である、1ライト－1リードのデュアルポートのRAMを1個と、ビット数＝ステート数×2であり、ワード数＝打ち切り長＋1である、1ライト－1リードのデュアルポートのRAMを1個有することを特徴とするビタビ復号装置。

【請求項3】 請求項1において、

ビット数＝ステート数×2であり、ワード数＝打ち切り長＋1である、1ライト－1リードのデュアルポートのRAMを1個有することを特徴とするビタビ復号装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えば衛星放送等で使用される畳み込み符号の最尤復号法に使用されるビタビ復号装置に関する。

【0002】

【従来の技術】畳み込み符号を復号する方式の一つとして、ビタビ復号方式が知られている。このビタビ復号方式は、畳み込み符号に対する最尤復号方式であり、送信側のエンコーダから生成され得る符号系列の中から、受信された符号系列に最も近い系列（以下、このような系列を最尤バスと表記する）を選ぶことにより、誤り訂正を行う。すなわち、送信側のエンコーダによる符号化方法に基づいて作成される、遷移ダイアグラム（以下、トレリスと表記する）を前提とし、遷移ダイアグラム上で生じ得る遷移の内から、例えば受信された符号系列とのハミング距離が最小となるものを最尤バスとして選択するようになされている。

【0003】ビタビ復号方式を行うビタビ復号装置は、ブランチメトリック、すなわちトレリス上の各状態に到達するバスと受信された符号系列とのハミング距離をクロックに従って計算するブランチメトリック計算回路と、ブランチメトリックに基づいてステートメトリックを計算し、ステートメトリックの値を比較して最尤バスを選択するACS回路、ステートメトリックの値を正規化する正規化回路、ステートメトリックの値を記憶するステートメトリック記憶回路、ACSによる選択結果に従って復号データを生成するバスメモリ回路を備える構成とされている。

【0004】ここで、バスメモリ回路としては、レジスタ列を用いてバス選択内容を選択させるレジスタ遷移を行うものと、RAMを用いてバス選択内容を記憶させ、記憶内容をトレースして復号する方法を行うもの2種類がある。以下、これら2種類の方法について説

【0005】従来のビタビ復号装置において一般的に用されてきたレジスタ遷移法においては、バスメモリ路内にセレクトとレジスタからなるメモリセルをトレリス上に配置し、ACS回路から出力されるバス選択情報に基づいてレジスタの内容を選択させる。メモリセル構成の一例を図23に示した。また、拘束長＝3の場合のメモリセルの配置の一例を図24に示した（図24ではメモリセルをMSと表記した）。このような構成より、各メモリセルのレジスタ内には、各ステートからの生き残りバスに対応する情報が保存されることになる。メモリセルには打ち切り長分の段数が配置され、終段の出力の内、最尤ステートの出力を選ぶことによって最尤バスに対する情報を選択し、復号データを出力する。メモリセルは、打ち切り長分の段数が配置され、終段の出力の内、最尤ステートの出力を選ぶことによって最尤バスに対応する情報を選択し、復号データを出力する。

【0006】このようなレジスタ遷移法は、高速動作可能であるという利点がある反面、打ち切り長が長くなると回路規模が膨大になるという欠点がある。特に、近頃は、打ち切り長が100を越えるような用途も出たので、回路規模の大型化が深刻な問題となっている。

【0007】このような問題に鑑みて、近年では、RAM(Random Access Memory)を用いてバス情報を記憶し、記憶した情報をトレースすることで復号する方法が盛んに研究されている。以下、この方法をトレースバックと呼ぶ。

【0008】

【発明が解決しようとする課題】トレースバック法を行うバスメモリ回路によればレジスタ遷移法よりもはるかに回路規模の小さいバスメモリ回路を構成できる。しながら、RAMの総ワード数は打ち切り長の2倍以上に達するため、依然として大きな回路規模が必要である。

【0009】この発明はこのような事情に鑑みて提案されたものであり、従って、この発明の目的は、回路規模が縮小されたビタビ復号装置を提供することにある。

【0010】

【課題を解決するための手段】請求項1の発明は、畳み込み符号の各遷移状態でのバスの選択情報を、書き換え可能なメモリを用いて記憶するバスメモリを備え、そのバスメモリが記憶した情報を打ち切り長分トレースすることによってビタビ復号を行うビタビ復号装置において、ステート数の整数倍のビット数を記憶する書き換

可能なメモリを使用して、書き換え可能なメモリの1アドレスで複数時刻分のバス選択情報を記憶することを特徴とするビタビ復号装置である。

【0011】以上のような発明によれば、書き換え可能なメモリ上の1アドレスで複数時刻分のバス選択情報を記憶するようにすることができる。このため、RAMの個数を削減することができる。

【0012】

【発明の実施の形態】以下、図面を参照して、この発明の第1の実施形態について説明する。まず、図1を参照してこの発明の第1の実施形態の全体構成について説明する。この発明の第1の実施形態は、ブランチメトリック計算回路701、ACS回路702、正規化回路703、ステートメトリック記憶回路704、およびバスメモリ回路705を備える構成とされており、送信側から伝送路を介して受信されたデータが入力された時、送信側のエンコーダから生成され得る符号系列の中から最尤バスを選択し、選択内容に基づいて復号データを生成する。

【0013】すなわち、送信側のエンコーダによる符号化方法に基づいて作成される、例えば図2に示すような遷移ダイアグラム（以下、トレリスと表記する）を前提とし、遷移ダイアグラム上で生じ得る遷移の内から、例えば受信された符号系列とのハミング距離が最小となるものを最尤バスとして選択するようになされている。

【0014】ブランチメトリック計算回路701は、受信データ信号s701が入力されたとき、この受信データのブランチメトリックを計算して、計算結果をブランチメトリック信号s702として出力する。ACS回路702は、ブランチメトリック信号s702と、ステートメトリック記憶回路704から供給されるステートメトリック信号s705とに基づいて、あるステートに合流する2本のそれぞれのバスに対し、ブランチメトリックとステートメトリックとを加算してそれら加算値を比較し、比較結果に基づいて尤度の高いものを選択して、新ステートメトリックとする。

【0015】このような選択の内容をバス選択情報s706として出力し、最小のステートメトリックを持つステートの番号を最尤ステート信号s707として出力し、新たに得られたステートメトリックを新ステートメトリック信号s703として出力する。

【0016】ここで、バスの選択方法について、拘束長=3の場合を例として説明する。図2のトレリスは、4個のステート00、01、10、11を有し、拘束長=3の場合のトレリスの一例である。ここで矢印は各タイムスロット毎に生じ得るバスを示しており、復号データ'0'に対応するバスを点線で示し、復号データ'1'に対応するバスを実線で示した。各タイムスロット毎にすべてのステートには合流する2本のバスが存在する。そこで、あるステートに合流する2本のそれぞれのバスに

対し、受信信号とバスとのハミング距離（ブランチメトリック）と、それまでのブランチメトリックの累積和（ステートメトリック）とを加算して比較を行い、この比較結果に基づいて尤度の高いものが選択される。

【0017】正規化回路703は、ACS回路702から出力される新ステートメトリック信号s703から小のステートメトリックを減算する方法等を用いて正化し、予め設定されている範囲内の値にして、正規化ステートメトリック信号s704として出力する。ステートメトリック記憶回路704は、ステート数に等しい数の正規化回路703から出力される正規化ステートメトリック信号s704を記憶し、これをステートメトリック信号s705としてACS回路702に戻す。

【0018】バスメモリ回路705の説明を行うに先って、理解を容易とするために、従来から使用されている一般的なトレースバック法におけるトレースの動作拘束長=3の場合を例として説明する。図3においてステート01からトレースする場合を考える。ステート01への遷移の可能性があるステートは、ステート0とステート10である。ここでバスメモリには、ステート00側のバスを選んであった時には0、ステート1側のバスを選んであった時には1（すなわち前ステートの最上位ビット）が記憶してある。

【0019】また、何れのステートから遷移する場合も入力は1であり、これはステート01の最下位ビットで表現されている。以上により、トレースの動作は次ように行えば良い。図4に示すようにトレースを開始するトレース開始ステートの最下位ビットを復号ビットし、トレース開始ステートに後続してトレースする次レースステートの番号は、トレース開始ステートの最上位ビットから下位2ビット目までに、バスメモリ内のビットを新たに最上位ビットとして付け加えることで生ずる。このような動作によって、最小ステートメトリックをとるステートから、選択されたバスを遡ることができる。

【0020】ビタビ復号装置を高速に動作させるためには、RAMは毎クロック、一回しかアクセスできない各RAMに対して1回のアクセスで復号を行うためのバスメモリ回路をRimらの論文（"MEMORY MANAGEMENT IN HIGH-SPEED VITERBI DECODERS", IEEE VLSI signal processing, 8 Oct.1995）に記載の方法を用いる場合を例として説明する。このようなバスメモリ回路の一例を図5に示す。かかるバスメモリ回路は、ビット数=4、ワード数=4の1ライト-1リードのデュアルポートのRAMを1つと、ビット数=4でワード数=7の1ライト-1リードのデュアルポートのRAMを2つ備えている。このバスメモリ回路は、拘束長=3の符号に対し打ち切り長=6の復号を行うことが可能なものである。

【0021】図5のバスメモリ回路において、RAM20は、コントロール回路1201で生成されるコン

ロール信号 $s1206$ に従って、毎クロック、バス選択情報の読み出しを行って読出バス選択情報 $s1202$ を出力する。また、RAM120は、ACS回路702から入力されるバス選択信号 $s1201$ を記憶する。一方、RAM121は、コントロール回路1201で生成されるコントロール信号 $s1206$ に従って毎クロック、バス選択情報の読み出しを行って、読出バス選択情報 $s1203$ を出力する。また、RAM121は、RAM120から入力されるバス選択信号 $s1202$ を記憶する。さらに、RAM122は、コントロール回路1201で生成されるコントロール信号 $s1206$ に従って、毎クロック、バス選択情報の読み出しを行って読出バス選択情報 $s1204$ を出力する。また、RAM122は、RAM121から入力されるバス選択信号 $s1203$ を記憶する。

【0022】なお、コントロール回路1201に基づくメモリオペレーションのタイミングを図6に示す。読出バス選択情報 $s1202$ 、 $s1203$ 、 $s1204$ はコントロール回路1201に入力される。コントロール回路1201は、(打ち切り長/2)クロック(この一例については、 $6/2=3$ クロック)毎に最尤ステート信号 $s1205$ をもとにトレース開始ステートの初期化を行いながら、読出バス選択情報 $s1202$ 、 $s1203$ 、 $s1204$ のトレースを行って次のクロックでのトレースステートを決定する。コントロール回路1201は、同時に、読出バス選択情報 $s1204$ に対するトレースステートに基づいて復号ビットを求めて、復号ビット信号 $s1207$ として出力する。

【0023】復号ビット信号 $s1207$ は、出力バッファ1202に入力され、出力バッファ1202では、復号ビット信号 $s1207$ を本来の時系列順に並べ替えた後に復号出力信号 $s1208$ として出力する。以上のような構成を有するバスメモリ回路がトレースバック法によるビタビ復号を行うために一般的に用いられる。

【0024】ここで、図6のメモリオペレーションについて、図7、図8および図9を参照してより具体的に説明する。図7～図9は連続する時刻における3個のデュアルポートのRAMに対する書き込み/読み出しについて図示したものである。記載スペースの都合により、図7に時刻1～時刻6までを図示し、図8に時刻7～時刻13までを図示した。さらに、図9に時刻14～時刻20までを図示した。上述したように、この内の1個(すなわちRAM120)がビット数=4、ワード数=4を有するものであり、また、2個(RAM121、RAM122)がビット数=4でワード数=7のを有するものである。ここで、各メモリのアドレスは何れも左から順に0、1、2・・・とする。

【0025】時刻1、2、3においては、RAM120のアドレス0、1、2に順次バス選択情報1、2、3が書き込まれ、時刻4においては、RAM120のアドレ

ス3に後続のバス選択情報4が書き込まれると共に、RAM120のアドレス2からRAM121のアドレスにバス選択情報3がコピーされる。次の時刻5においては、RAM120のアドレス2に後続のバス選択情報が書き込まれると共に、RAM120のアドレス1からRAM121のアドレス3にバス選択情報2がコピーされる。以下、時刻9まで、RAM120を介してRAM121にバス選択情報が書き込まれていく。時刻9においては、RAM120の全アドレスおよびRAM122のアドレス5以外のアドレスには全てバス選択情報が書き込まれている。

【0026】そして、時刻10においては、RAM120のアドレス3に後続のバス選択情報10が書き込まれると共に、RAM120のアドレス2からバス選択情報9が読み出されてトレースされ、さらにこのバス選択情報9がRAM121のアドレス5にコピーされる。ここで、読み出しの矢印に付した't'はトレースを行うことを示し、'd'はトレースして復号を行うことを示す。これと同時に、RAM122のアドレス5にRAM121のアドレス4からバス選択情報3がコピーされる。以下、時刻11、12、13においても同様に書き込み、トレースおよびコピーが行われる。

【0027】さらに時刻14においては、RAM120のアドレス1に後続のバス選択情報14が書き込まれると共に、RAM120のアドレス1からバス選択情報2が読み出されてトレースされ、さらにこのバス選択情報12がRAM121のアドレス2にコピーされる。れと同時に、RAM121のアドレス1からバス選択情報6が読み出されてトレースされ、さらにこのバス選択情報6がRAM122のアドレス2にコピーされる。時刻15においても同様に書き込み、トレースおよびコピーが行われる。

【0028】図6には、時刻16以降のオペレーションが示されている。時刻16に対応する図6の先頭のクロックにおいては、RAM120のアドレス2からバス選択情報15が読み出されてトレースされ、さらにこのバス選択情報15がRAM121のアドレス6にコピーされる。これと同時に、RAM121のアドレス5からバス選択情報9が読み出されてトレースされ、さらにこのバス選択情報9がRAM122のアドレス6にコピーされる。さらにまた、RAM121のアドレス5からバス選択情報3が読み出されてトレースされ、復号がなされる。そして、このクロックにおいてトレース開始ステートの初期化が行われる。

【0029】時刻11に対応する図6の2番目以降のクロックにおいても、書き込み、トレース、コピーおよび復号が行われる。そして、3クロックに一度ずつトレース開始ステートの初期化が行われる。以上のようなメモリオペレーションにより、トレースバック法によるビタビ復号を行うことができる。

【0030】一方、本願出願人は、トレースバック法によるビタビ復号を実現する他の方法として、図10に示すような構成を用いた以下のような方法を提案している。すなわち、ビット数=4、ワード数=4の1ライト-1リードのデュアルポートのRAMを3個備え、1クロックの間に3時刻分のトレースを行うものである。このバスメモリ回路は、拘束長=3の符号に対し、打ち切り長=6の復号を行うものである。

【0031】ACS回路から入力されるバス選択信号s1402は、コントロール回路1401で生成される書き込みコントロール信号s1403に従って、毎クロック、RAM142→RAM141→RAM140→RAM142→RAM141・・・の順にRAMに記憶される。RAM140、RAM141、RAM142からはコントロール回路1401で生成される読み出しコントロール信号s1404に従って、毎クロック、全てのRAMからバス選択情報の読み出しを行って読出バス選択情報s1405、s1406、s1407をトレース回路1402に入力する。

【0032】なお、コントロール回路1401に基づくメモリオペレーションのタイミングを図11に示す。

【0033】さらに、図10において、トレース回路1402では、RAM140、RAM141、RAM142から出力される読出バス選択情報s1405、s1406、s1407、およびコントロール回路1401で生成されるトレース開始ステート情報s1408に従って3時刻分のトレースを行い、その結果はトレース結果信号s1409としてコントロール回路s1401に入力される。コントロール回路s1401では、トレース結果信号s1409と最尤ステート信号s1401に基づいて、打ち切り長/2クロック毎にトレース開始ステートの初期化を行いながら、次のクロックのトレース開始ステートを求める。

【0034】一方、トレース開始ステート情報s1408は出力バッファ1403にも入力され、出力バッファ1403では打ち切り長以上トレースを行った後のトレース開始ステート情報s1408の下位3ビットを復号ビットとしてバッファし、本来の時系列順に並べ換えた後に復号ビット信号s1410として出力する。以上のような構成を有するバスメモリ回路によっても、トレースバック法によるビタビ復号が可能となる。

【0035】以上のような、これまでに知られているトレースバック法においては、レジスタ遷移法よりもはるかに回路規模の小さいバスメモリ回路を構成できる。しかしながら、RAMの総ワード数は打ち切り長の2倍以上に達するため、依然として大きな回路規模が必要である。この発明の一実施形態は、バスメモリ回路の回路規模のさらなる縮小を実現するものである。

【0036】図12を参照して、この発明の一実施形態におけるバスメモリ回路705について説明する。バス

メモリ回路705は、拘束長=3の符号に対し、打ち切り長=6の復号を行う場合に、ビット数=4（ステート数と同一）でワード数=7（打ち切り長6を2で除し1を加えた値）の1ライト-1リードのデュアルポートのRAMを1個（すなわちRAM10）と、ビット数8（ステート数の2倍）でワード数=7（打ち切り長6を2で除して1を加えた値）の1ライト-1リードのデュアルポートのRAMを1個（すなわちRAM11）える構成により、図6を参照して上述したようなメモリオペレーションと同様なメモリオペレーションを行うとを可能とするものである。

【0037】図12において、RAM10は、コントロール回路101で生成されるコントロール信号s10に従って、毎クロック、バス選択情報の読み出しを行って読出バス選択情報s102を出力する。さらに、RAM10は、ACS回路702から入力されるバス選択情報s101を記憶する。RAM11は、コントロール回路101で生成されるコントロール信号s106に従って、毎クロック、2時刻分のバス選択情報である1ワード分の情報の読み出しを行って、読出バス選択情報s103、s104を出力する。さらに、RAM11は、読出バス選択情報s102、s103を1ワードとして憶する。

【0038】RAM10、RAM11の読み出しと書き込みの動作について、図13を参照して説明する。図3Aに示すように、RAM10からバス選択信号a（ビット）読み出し、また、RAM11からバス選択信号b（4ビット）を読み出す。そして、バス選択信号aおよびbを改めて1ワード（8ビット）としてRAM11に書き込みを行う（図13B）。一方、読み出しバス選択情報s102、s103、s104は、コントロール回路101に入力される。

【0039】コントロール回路101では、打ち切り/2クロック（ここでは6/2=3クロック）毎に、尤ステート信号s105に基づいてトレース開始ステートの初期化を行いながら、読出バス選択情報s102、s103、s104のトレースを行って次のクロックのトレースステートを決定する。同時に、コントロール回路101では、読出バス選択情報s104に対するトレースステートに基づいて復号ビットを求めて、復号ビット信号s107として出力する。

【0040】このような動作を図14に示したタイミングのメモリオペレーションで行うことで、図11を参照して上述したメモリオペレーションと同様なオペレーションを行うことができる。復号ビット信号s107は出力バッファ102に入力され、出力バッファ102で復号ビット信号s107を本来の時系列順に並べ換えた後に復号出力信号s110として出力する。

【0041】図13および図14に示すメモリオペレーションについて、図15、図16、図17、および図

8を参照してより具体的に説明する。図15～図18は連続する時刻におけるRAM10およびRAM11に対する書き込み／読み出しについて図示したものである。記載スペースの都合により、図15に時刻1～時刻4までを図示し、図16に時刻5～時刻9までを図示した。さらに、図17に時刻10～時刻14までを図示し、図18に時刻15～時刻19までを図示した。上述したように、RAM10はビット数＝4、ワード数＝7を有しており、また、RAM11はビット数＝8でワード数＝7を有するものである。ここで、各メモリのアドレスは

何れも左から順に0、1、2・・・とする。
【0042】時刻1、2、3においては、RAM10のアドレス0、1、2に順次バス選択情報1、2、3が書き込まれ、時刻4においては、RAM10のアドレス3に後続のバス選択情報4が書き込まれると共に、RAM10のアドレス2からRAM11のアドレス4にバス選択情報3がコピーされる。RAM11のビット数は8ビットなので、バス選択情報3（4ビット）が書き込まれた時に半分の領域に書き込みがなされたことになる。次の時刻5においては、RAM10のアドレス2に後続のバス選択情報5が書き込まれると共に、RAM10のアドレス1からRAM11のアドレス3にバス選択情報2がコピーされる。以下、時刻9まで、RAM10およびRAM11に順次バス選択情報が書き込まれていく。時刻9においては、RAM10の全アドレスおよびRAM11のアドレス5以外のアドレスには全てバス選択情報が書き込まれている。但し、RAM11の各アドレスは、半分の領域のみに記録がなされている。

【0043】時刻10においては、RAM10のアドレス3に後続のバス選択情報10が書き込まれると共に、RAM10のアドレス2からバス選択情報9が読み出されてトレースされる。一方、RAM11からは、バス選択情報3が読み出される。そして、バス選択情報9とバス選択情報3とが改めて1ワード（8ビット）としてRAM11のアドレス5に書き込まれる。図15～図18において、読み出しの矢印に付した't'はトレースを行うことを示し、'td'はトレースして復号を行うことを示す。以下、時刻11、12においても同様に書き込み、読み出し、トレースおよび8ビット単位での書き込みが行われる。

【0044】時刻13においては、RAM10のアドレス1に後続のバス選択情報14が書き込まれると共に、RAM10のアドレス1からバス選択情報12が読み出されてトレースされる。一方、RAM11のアドレス1からバス選択情報6が読み出されてトレースされる。そして、バス選択情報12とバス選択情報6とが改めて1ワード（8ビット）としてRAM11のアドレス2に書き込まれる。以下、時刻14、15においても同様に書き込み、読み出し、トレースおよび8ビット単位での書き込みが行われる。

【0045】図14には、時刻16以降のオペレーションが示されている。時刻16に対応する図14の先頭クロックにおいては、RAM10のアドレス3に後続バス選択情報16が書き込まれると共に、RAM10アドレス2からバス選択情報15が読み出されてトレースされる。一方、RAM11のアドレス5からバス選択情報9および3が読み出されてトレースされ、バス選択情報3に基づく復号が行われる。そして、バス選択情報15とバス選択情報9とが改めて1ワード（8ビット）としてRAM11のアドレス6に書き込まれる。またこのクロックにおいてトレース開始状態の初期化行われる。

【0046】時刻17に対応する図14の2番目クロックでは、RAM10のアドレス2に後続のバス選択情報17が書き込まれると共に、RAM10のアドレス1からバス選択情報14が読み出されてトレースされる。方、RAM11のアドレス8からバス選択情報8および2が読み出されてトレースされ、バス選択情報2に基づく復号が行われる。そして、バス選択情報14とバス選択情報8とが改めて1ワード（8ビット）としてRAM11のアドレス5に書き込まれる。

【0047】以後の各クロックにおいても、同様に書き込み、読み出し、トレースおよび8ビット単位での書き込みが行われる。書き込み、トレース、コピーおよび号が行われる。そして、3クロックに一度ずつトレース開始状態の初期化が行われる。

【0048】以上のようなバスメモリ705の構成にれば、RAMの総記憶容量は従来と同様であるが、RAMの個数を3個（図5中のRAM120、RAM121、RAM122）から2個（図12中のRAM10RAM11）に減らすことができる。一般に同程度の記憶容量であれば、RAMの個数が少ない方がRAMの有面積が小さくなる。従って、図12に示したような成を有するバスメモリにおいては、バスメモリ内のRAMの占有面積を小さくすることができる。このため、メモリの回路規模を減少させることができ、ビタヒ号装置全体の回路規模の減少に寄与することができる。

【0049】次に、この発明の一実施形態におけるメモリ回路とは異なる構成を有するバスメモリ回路をいた、この発明の他の実施形態について説明する。図9に、この発明の他の実施形態におけるバスメモリ回構成を図示した。かかるバスメモリ回路は、拘束長3の符号に対し、打ち切り長＝6の復号を行う場合にビット数＝12（ステート数4の3倍）でワード数＝（打ち切り長6の2／3倍）の1ライト－1リードのリアルポートのRAMを1個備える構成により、1クロックの間に3時刻分のトレースを行うものである。

【0050】ACS回路から入力されるバス選択信号402は、レジスタ402および403に記憶されてコントロール回路401で生成されるコントロール作

s 4 0 5に従って、3クロックに一度、3クロック分のバス選択情報がRAM 4 0に記憶される。RAM 4 0からは、コントロール信号s 4 0 5に従って、毎クロック、3クロック分のバス選択情報の読み出しを行って読出バス選択情報s 4 0 7をトレース回路4 0 5に入力する。

【0 0 5 1】なお、コントロール回路4 0 1に基づくメモリオペレーションのタイミングを図2 0に示す。トレース回路4 0 5では、RAM 4 0から出力される読出バス選択情報s 4 0 7およびコントロール回路4 0 1で生成されるトレース開始ステート情報s 4 0 7、およびコントロール回路4 0 1で生成されるトレース開始ステート情報s 4 0 6に従って3時刻分のトレースを行い、その結果がトレース結果信号s 4 0 8としてコントロール回路4 0 1に入力される。

【0 0 5 2】コントロール回路4 0 1では、トレース結果信号s 4 0 8と最尤ステート信号s 4 0 1とに基づいて、打ち切り長/2クロック（ここでは6/2=3クロック）毎に、トレース開始ステートの初期化を行いながら、次のクロックのトレース開始ステートを求める。一方、トレース開始ステート情報s 4 0 6は、出力バッファ4 0 6にも入力される。出力バッファ4 0 6では、打ち切り長以上のトレースを行った後のトレース開始ステート情報s 4 0 6の下位3ビットを復号ビットとしてバッファし、本来の時系列順に並べ換えた後に復号ビット信号s 4 0 9として出力する。

【0 0 5 3】図2 0に示すメモリオペレーションについて、図2 1および図2 2を参照してより具体的に説明する。図2 1および図2 2は連続する時刻におけるRAM 4 0に対する書き込み/読み出しについて図示したものである。記載スペースの都合により、図2 1に時刻1~時刻6までを図示し、図2 2に時刻7~時刻12までを図示した。上述したように、RAM 4 0は、ビット数=12でワード数=4のデュアルポートのRAMを有するものである。ここで、RAM 4 0におけるアドレスは何れも左から順に0、1、2・・・とする。

【0 0 5 4】時刻1、2においては、レジスタ4 0 2、4 0 3に順次バス選択情報1、2が記憶され、時刻3においてバス選択情報1、2、3（全部で4×3=12ビット）がRAM 4 0のアドレス1に書き込まれる。その後、時刻4、5においては、レジスタ4 0 2、4 0 3に順次バス選択情報4、5が記憶され、時刻6においてバス選択情報4、5、6がRAM 4 0のアドレス2に書き込まれる。同様にして時刻9において、RAM 4 0のアドレス3にバス選択情報7、8、9が書き込まれる。

【0 0 5 5】図2 0には、時刻1 0以降のオペレーションが示されている。時刻1 0に対応する図2 0の先頭のクロックにおいては、RAM 4 0のアドレス3からバス選択情報7、8、9が読みだされる。上述したようにこれら3時刻分のバス選択情報に基づいて、トレース回路

4 0 5がトレースを行う。同様に、時刻1 1に対応する図2 0の2番目のクロックにおいては、RAM 4 0のアドレス2からバス選択情報4、5、6が読みだされ、トレースされる。ここで、図2 1および図2 2においては、読み出しの矢印に付した't'はトレースを行うことを示し、'd'はトレースして復号を行うことを示す。さらに、時刻1 2に対応する図2 0の3番目のクロックにおいては、RAM 4 0のアドレス1からバス選択情報1、2、3が読みだされ、トレースおよび復号される。また、時刻1 2においてはRAM 4 0のアドレスに後続のバス選択情報1 0、1 1、1 2が書き込まれる。

【0 0 5 6】そして、後続の時刻1 3に対応する図2の4番目先頭のクロックにおいては、RAM 4 0のアドレス0からバス選択情報1 0、1 1、1 2が読み出され、トレースされる。また、この時刻1 3においてトレース開始ステートの初期化が行われる。以後、3クロックを動作の単位として、トレース/書き込みと復号/トレース開始ステートの初期化が順次行われる。

【0 0 5 7】以上のような構成を有するバスメモリ回路において、RAMの総記憶容量は従来と同様であるがRAMの個数を減らすことができる。すなわち、従来バスメモリ回路内に3個のRAMが備えられていたのにし、RAMの個数を1個に減らすことができる。このため、バスメモリ内のRAMの占有面積を小さくすることができ、バスメモリの回路規模を減少させることができ、ビタビ復号装置全体の回路規模の減少に寄与することができる。

【0 0 5 8】上述したこの発明の一実施形態およびこの発明の他の実施形態においては、拘束長=3、打ち切り長=6の場合について説明したが、拘束長および打ち切り長はこの値に限らず、任意の値をとることができる。

【0 0 5 9】

【発明の効果】上述したように、この発明は、バスメモリ回路中のRAMの個数を減少させるように構成したので、回路に占めるRAMの面積を減少させることができる。従って、回路規模が小さいビタビ復号装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の一実施形態の全体的な構成について説明するためのブロック図である。

【図2】拘束長=3の場合の遷移ダイアグラムについて説明するためのブロック図である。

【図3】トレースバック法におけるトレースの原理について説明するための略線図である。

【図4】トレースバック法におけるトレースの方法について説明するための略線図である。

【図5】従来から使用されている一般的なトレースバック法を行うバスメモリ回路の一例について説明するた

のブロック図である。

【図6】図5に示したバスメモリ回路におけるメモリオペレーションについて説明するための略線図である。

【図7】図5に示したバスメモリ回路におけるメモリオペレーションについてより具体的に説明するための略線図である。

【図8】図5に示したバスメモリ回路におけるメモリオペレーションについてより具体的に説明するための略線図である。

【図9】図5に示したバスメモリ回路におけるメモリオペレーションについてより具体的に説明するための略線図である。

【図10】先に提案されたトレースバック法を行うバスメモリ回路の一例について説明するためのブロック図である。

【図11】図10に示したバスメモリ回路におけるメモリオペレーションについて説明するための略線図である。

【図12】この発明の一実施形態におけるバスメモリ回路について説明するためのブロック図である。

【図13】この発明の一実施形態におけるメモリの読み出しと書き込みの動作について説明するための略線図である。

【図14】この発明の一実施形態におけるメモリオペレーションについて説明するための略線図である。

【図15】図12のバスメモリ回路におけるメモリオペレーションについてより具体的に説明するための略線図

である。

【図16】図12のバスメモリ回路におけるメモリオペレーションについてより具体的に説明するための略線図である。

【図17】図12のバスメモリ回路におけるメモリオペレーションについてより具体的に説明するための略線図である。

【図18】図12のバスメモリ回路におけるメモリオペレーションについてより具体的に説明するための略線図である。

【図19】この発明の他の実施形態におけるバスメモリ回路について説明するためのブロック図である。

【図20】この発明の他の実施形態におけるメモリオペレーションについて説明するためのブロック図である。

【図21】この発明の他の実施形態におけるメモリオペレーションについてより具体的に説明するための略線図である。

【図22】この発明の他の実施形態におけるメモリオペレーションについてより具体的に説明するための略線図である。

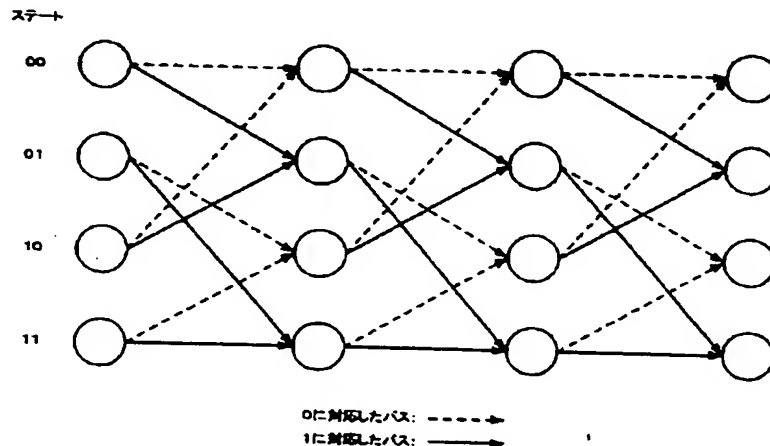
【図23】レジスタ遷移法におけるバスメモリのメモセルについて説明するための略線図である。

【図24】レジスタ遷移法におけるバスメモリ中のメモセルの配置について説明するための略線図である。

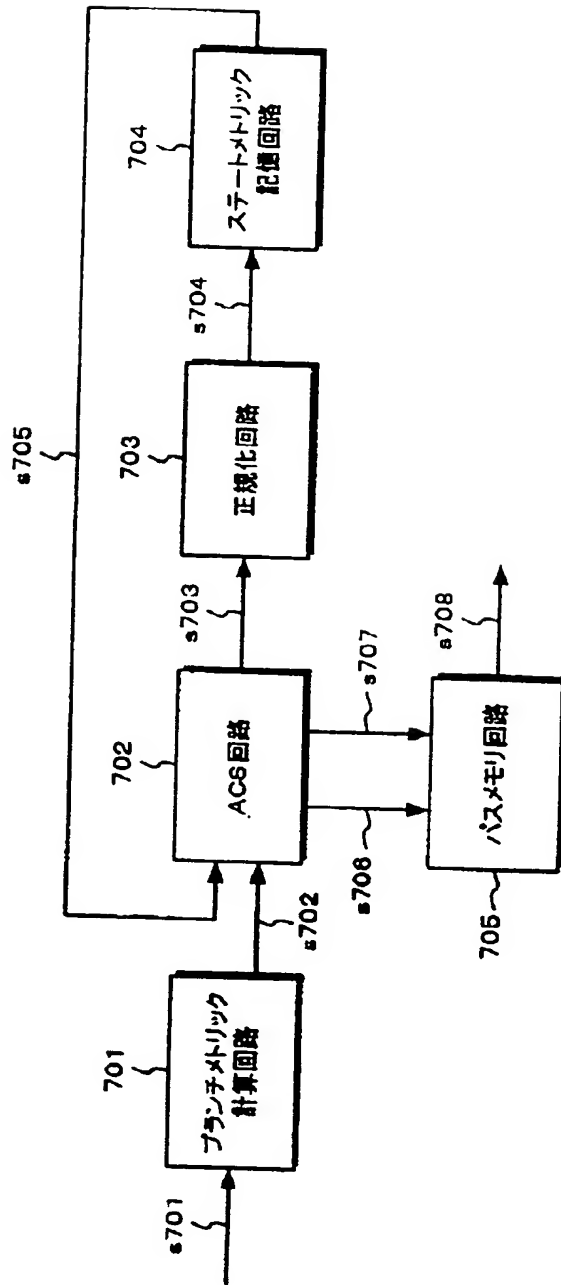
【符号の説明】

705・・・バスメモリ回路、101・・・コントロール回路、402、403・・・レジスタ

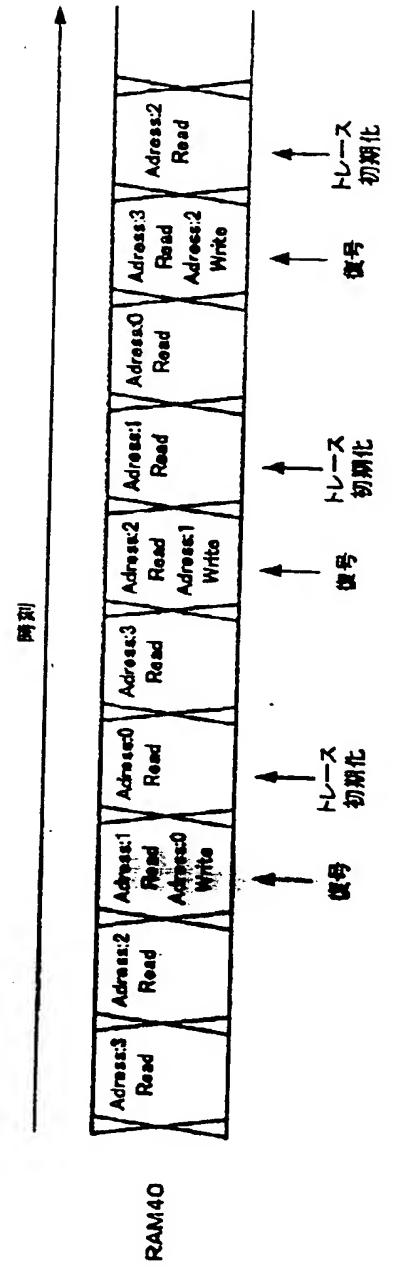
【図2】



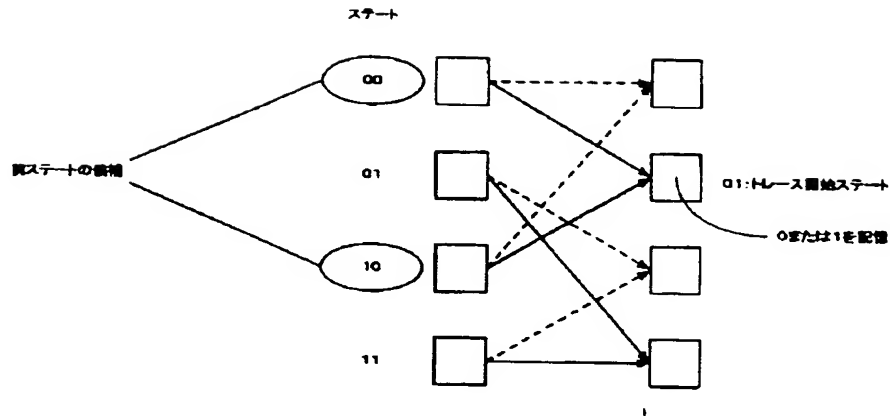
【図1】



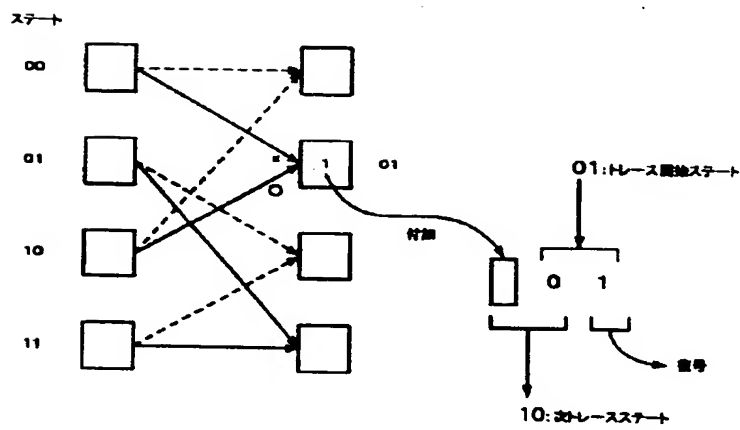
【図20】



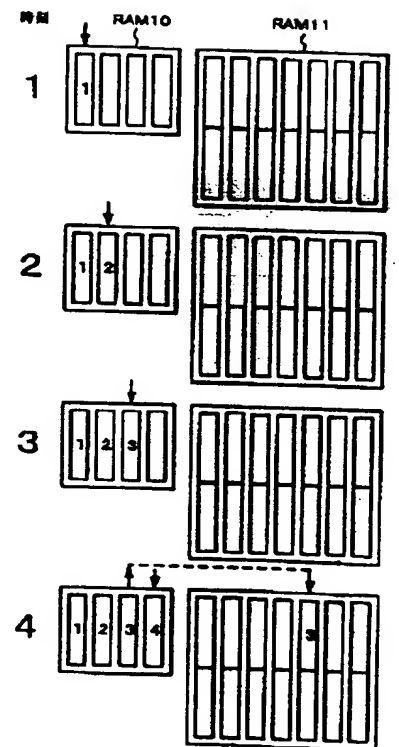
【図3】



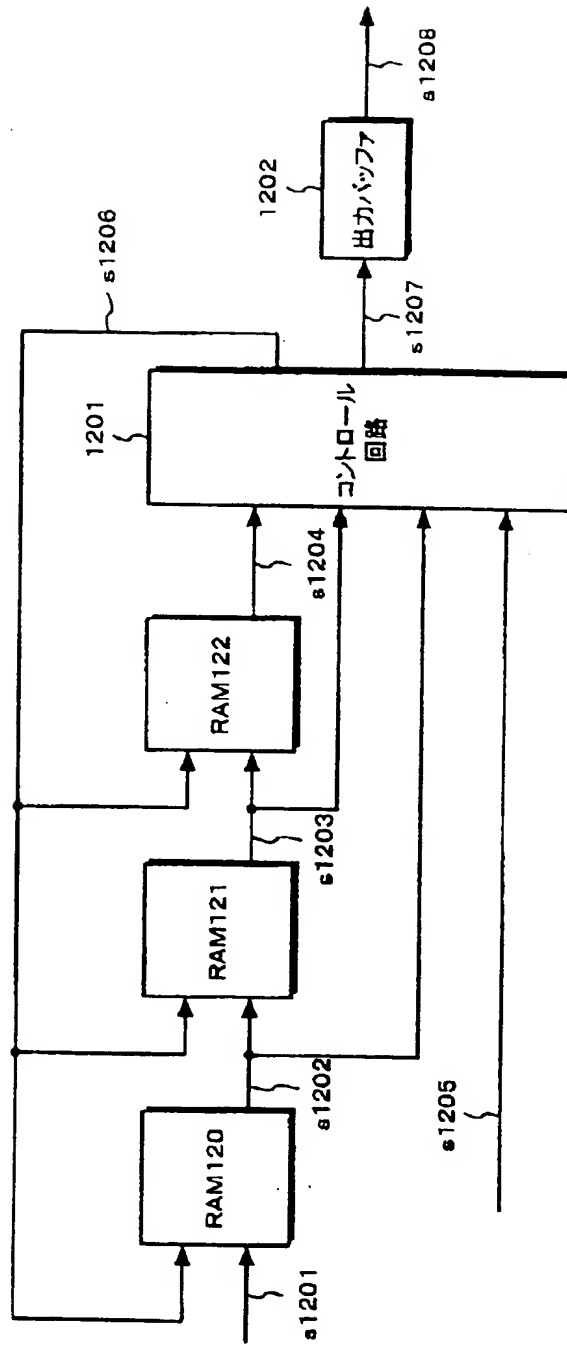
【図4】



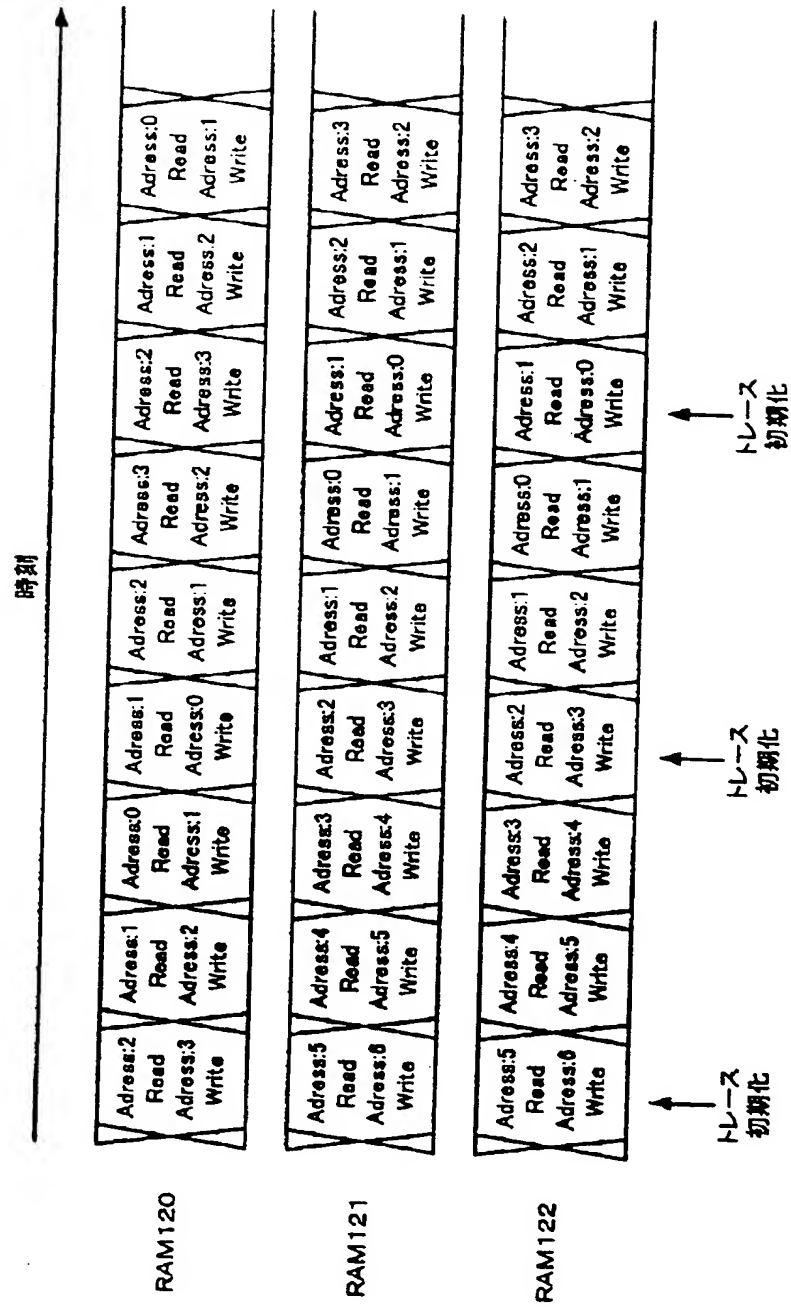
【図15】



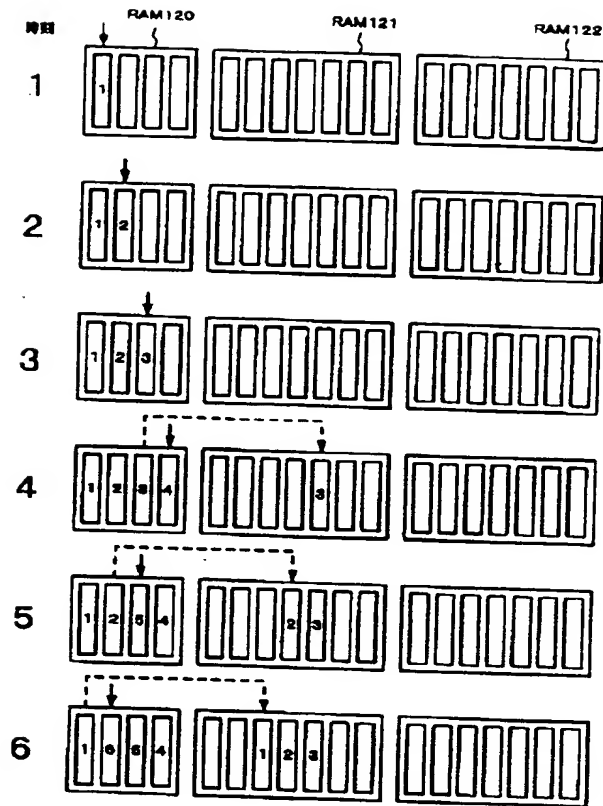
【図5】



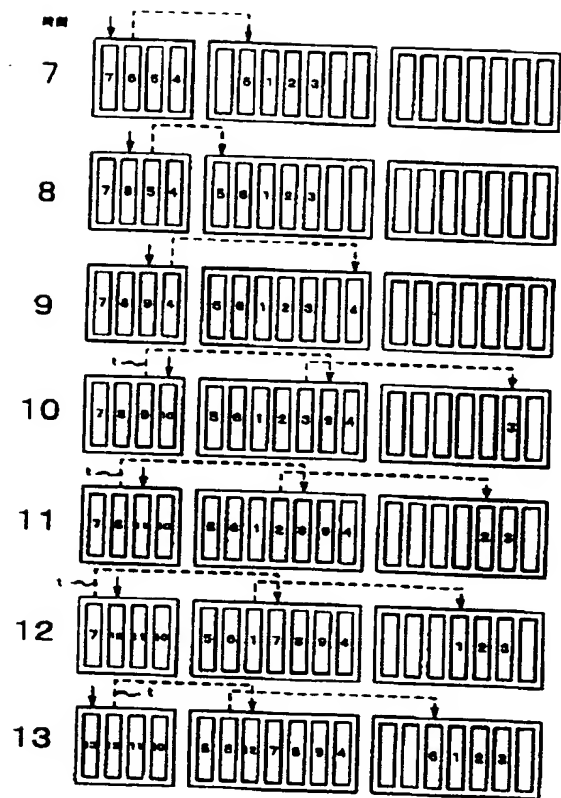
【図6】



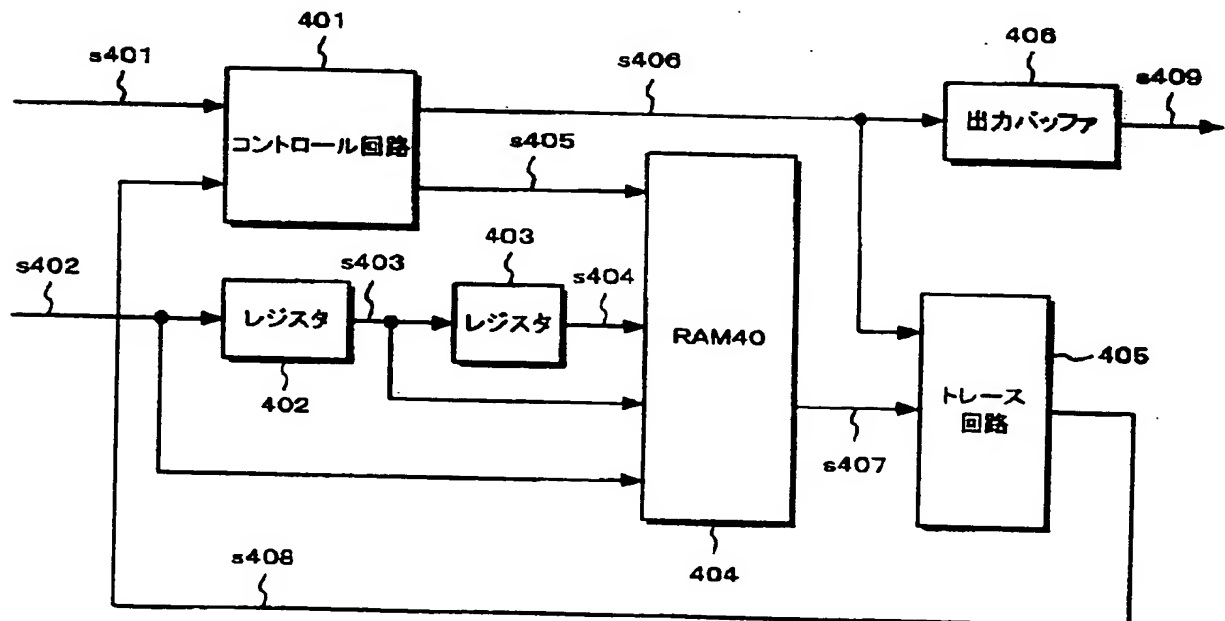
【図7】



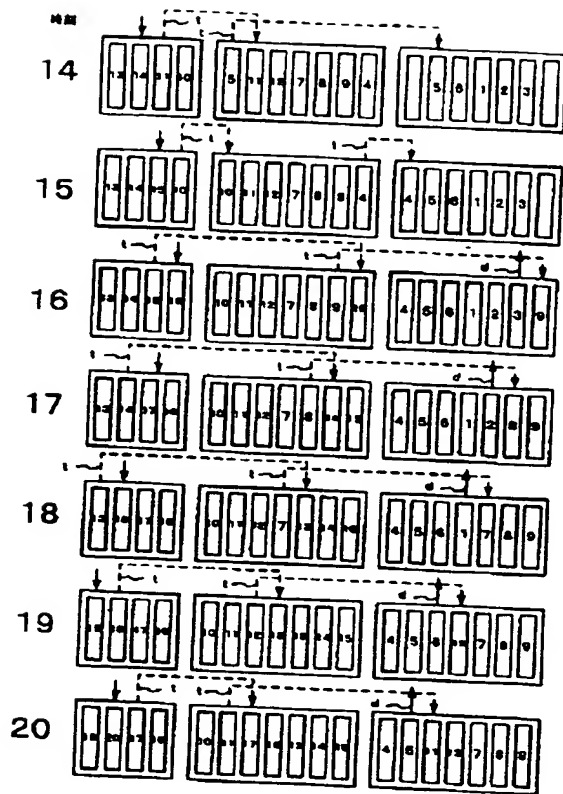
【図8】



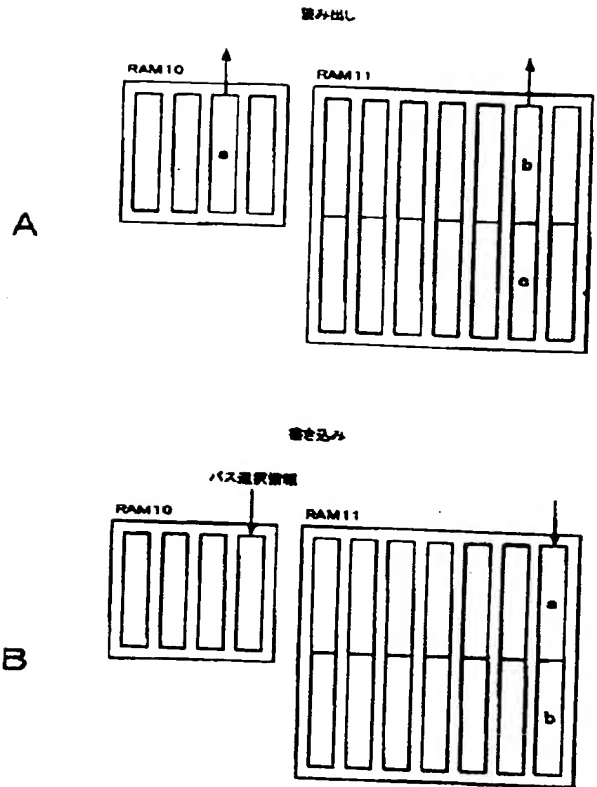
【図19】



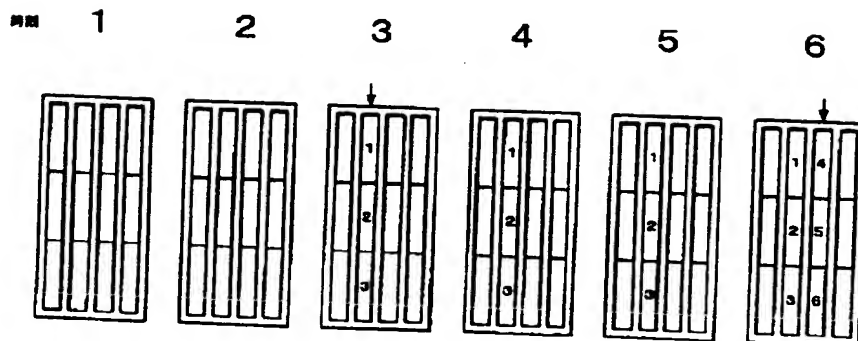
【図9】



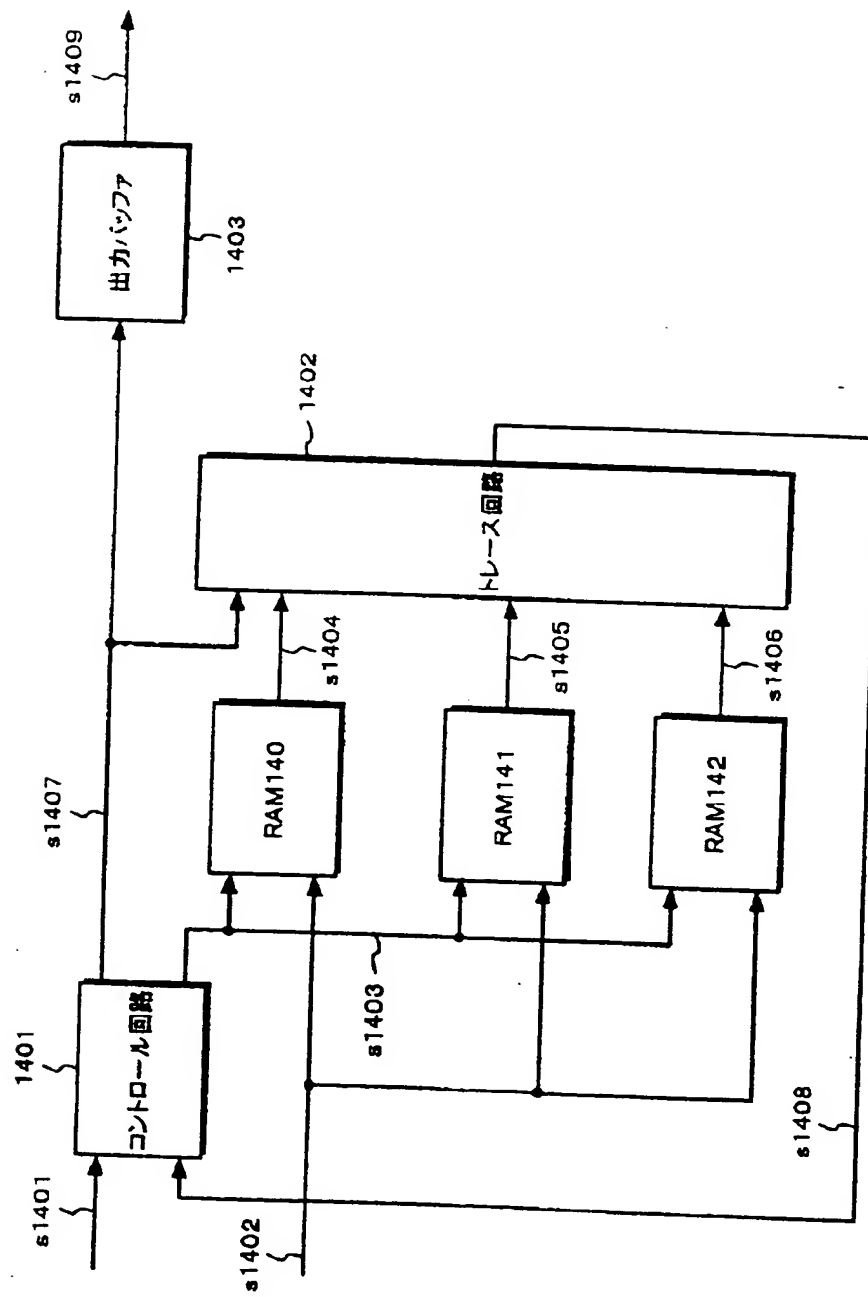
【図13】



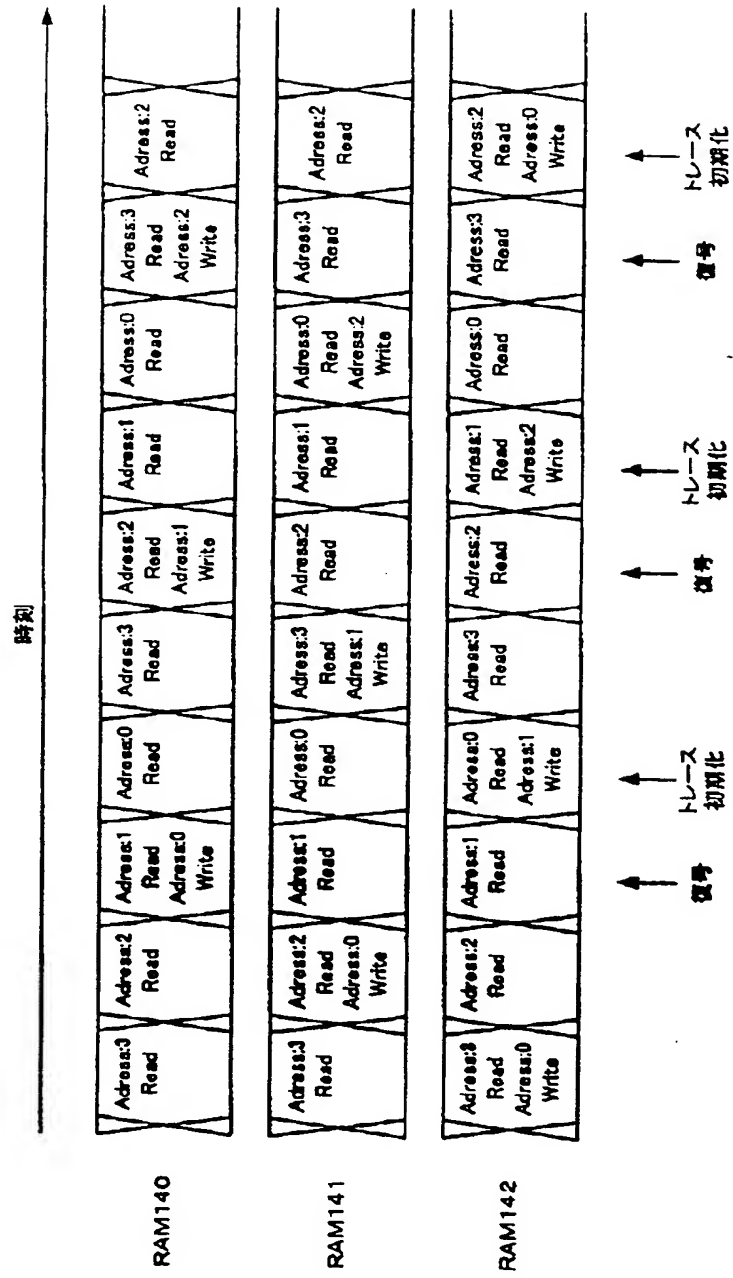
【図21】



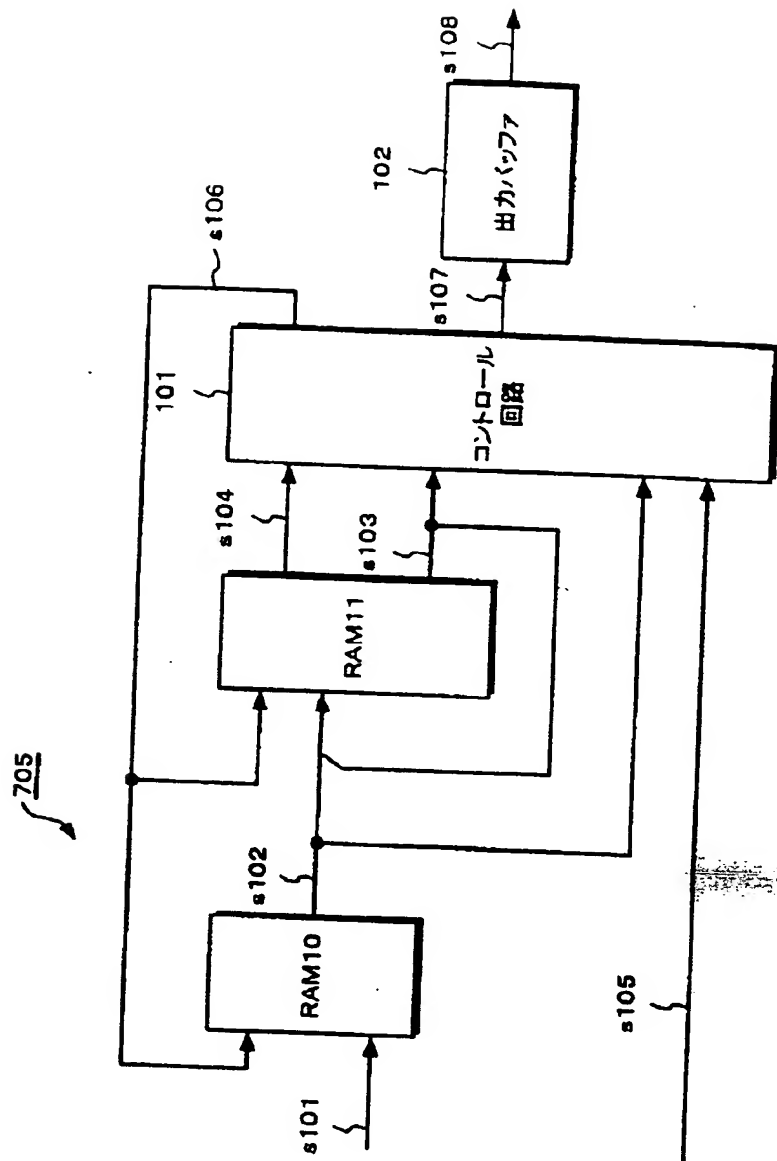
【図10】



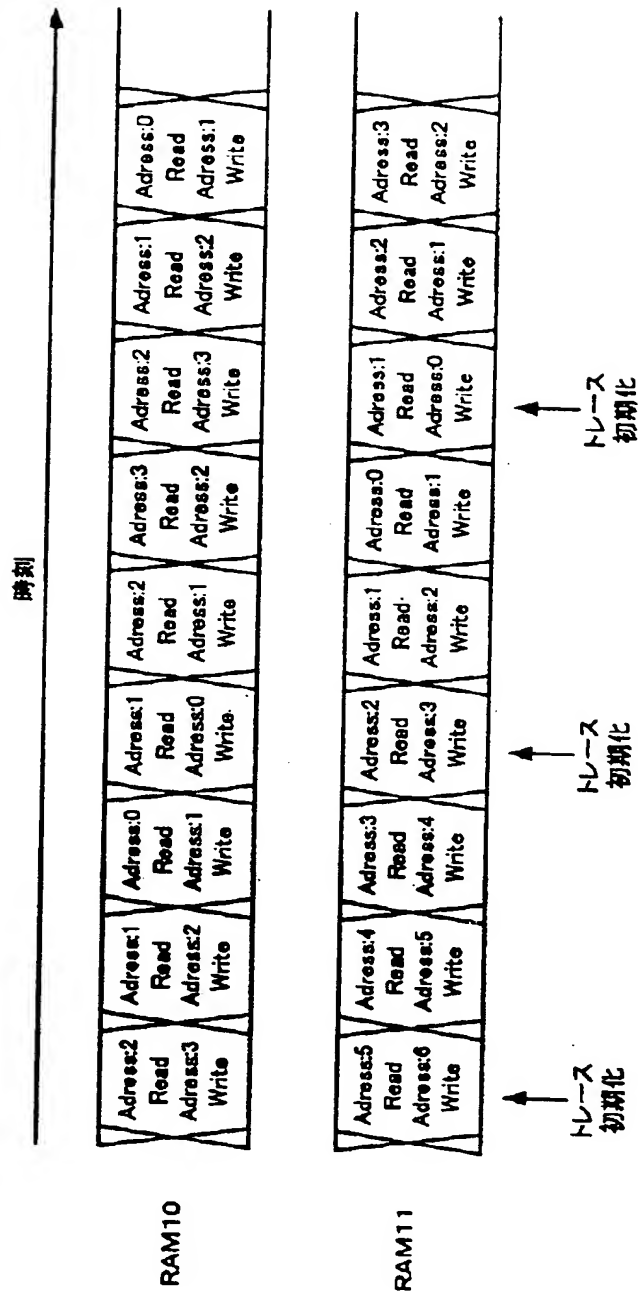
【図11】



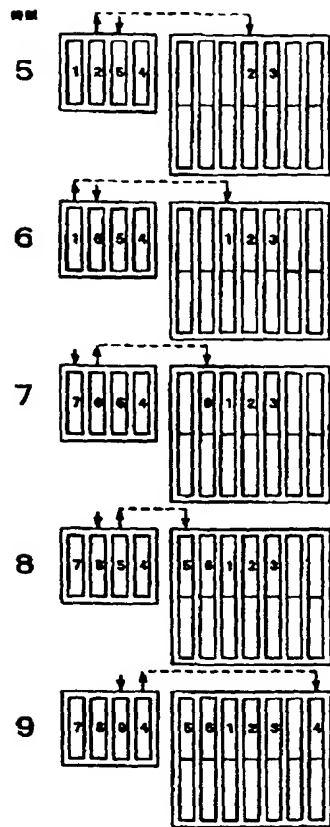
【図12】



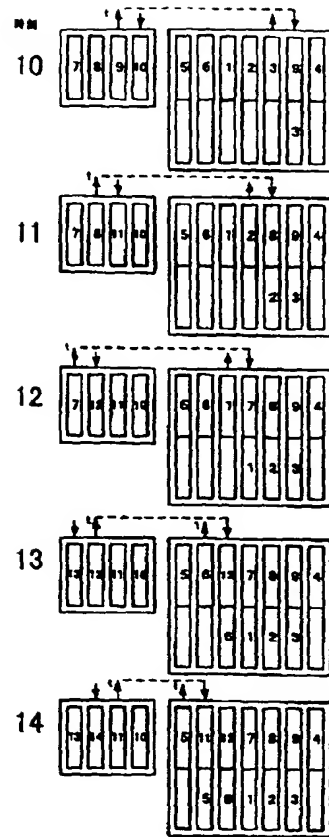
【図14】



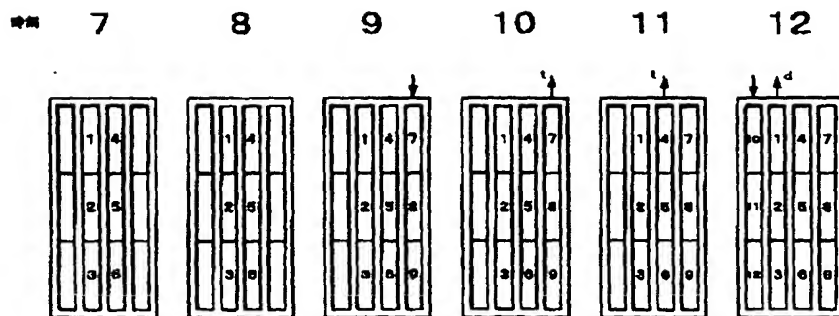
【図16】



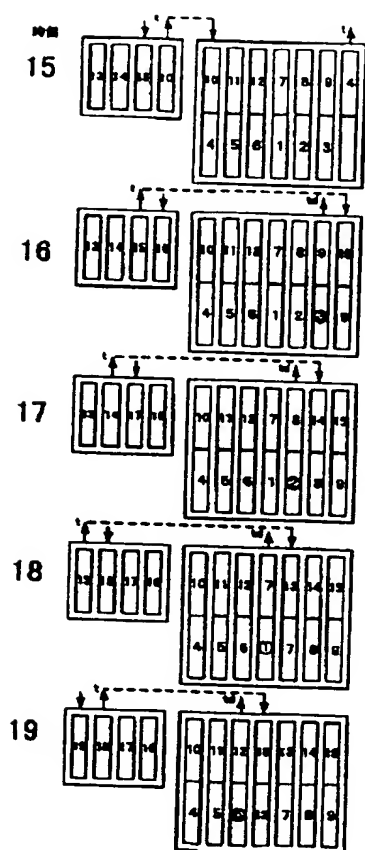
【図17】



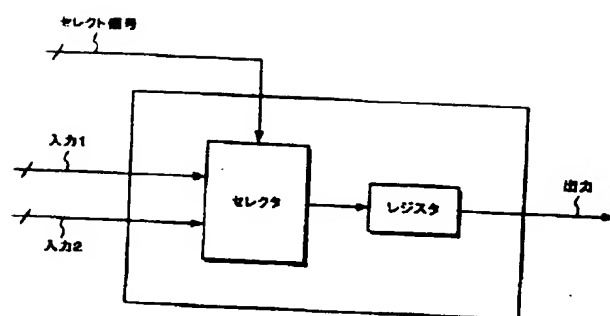
【図22】



【図18】



【図23】



【図24】

